



УНИВЕРЗИТЕТ У БАЊОЈ ЛУЦИ
UNIVERSITY OF BANJA LUKA
ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ
FACULTY OF ELECTRICAL ENGINEERING



Школска година	Предмет	Шифра предмета	Студијски програм	Циклус студија	Година студија	Семестар	Број студената	Број група за вјежбе
2018/2019.	Функционална верификација хардвера	2343	Електроника и телекомуникације	Први	Четврта	VIII		1

ПЛАН ПРЕДАВАЊА

Седмица	Предавање	Тематска јединица	Ч
I	П1	Значај верификације. Циљ функционалне верификације. Нивои апстракције дизајна. Процес функционалне верификације.	2
II	П2	Верификационо окружење. Основне компоненте верификационог окружења. Методи за генерисање тестних секвенци и анализу резултата.	2
III	П3	Директни и рандомизовани тестови. Структура и ефективност рандомизованих тестова. Комбинација директних и рандомизованих тестова.	2
IV	П4	Верификациони план: циљеви и фазе. Мјерење покривености верификационог плана. Покривеност кода. Функционална покривеност. Верификација базирана на мјерењу покривености.	2
V	П5	Увод у SystemVerilog језик за верификацију.	2
VI	П6	Објектно-оријентисана парадигма у језицима за верификацију. Класе и наслеђивање.	2
VII	П7	Полиморфизам. Виртуелни методи. Апстрактне класе. Статичке методе и промјенљиве.	2
VIII	П8	Параметризоване класе. Образац „фабрика“. Увод у UVM верификационо окружење.	2
IX	П9	UVM компоненте.	2
X	П10	UVM окружења.	2
XI	П11	Механизми комуникације између објеката.	2

XII	П12	Механизми комуникације између тредова.	2
XIII	П13	UVM извјештаји. Хијерархија класа у UVM верификационом окружењу.	2
XIV	П14	UVM трансакције.	2
XV	П15	UVM агенти. UVM секвенце.	2

П1, П2,, П15 – Предавање прво, Предавање друго, ..., Предавање петнаесто, Ч – Часова

ПЛАН ВЈЕЖБИ

Седмица	Вјежба	Тип вјежбе	Тематска јединица	Ч
I	B1	ПВ	Упознавање са симулационим окружењем. Креирање мануелног теста за комбинациону и секвенцијалну мрежу.	3
II	B2	ПВ	Модуларизација тестова (функције и процедуре).	3
III	B3	ПВ	Формирање верификационог окружења са аутоматизованом провјером резултата.	3
IV	B4	ПВ	Трансакциони модели (TLM/BFM). Проширење верификационог окружења.	3
V	B5	ПВ	Покривеност тестова. Покривеност кода и функционалности.	3
VI	B6	ПВ	Увод у SystemVerilog верификациони језик (креирање конвенционалног теста са функционалном покривеношћу).	3
VII	B7	ПВ	Увод у SystemVerilog језик за верификацију (креирање модуларних тестова помоћу интерфејса и трансакционих модела).	3
VIII	B8	ПВ	Напредни аспекти SystemVerilog језика за верификацију (објектно оријентисани тестови).	3
IX	B9	ПВ	Увод у UVM верификационо окружење (креирање једноставног UVM теста).	3
X	B10	ПВ	UVM компоненте.	3
XI	B11	ПВ	UVM окружења.	3
XII	B12	ПВ	Механизми комуникације између објеката.	3
XIII	B13	ПВ	UVM трансакције.	3
XIV	B14	ПВ	UVM агенти.	3
XV	B15	ПВ	UVM секвенце.	3

B1, B2,, B15 – Вјежба прва, Вјежба друга, ..., Вјежба петнаеста, ТВ – Теоријска вјежба, ПВ – Практична вјежба, Ч – Часова

РАСПОРЕД ПРЕДАВАЊА

Група	Дан	Вријеме	Мјесто одржавања	Ч	Наставник
Г1					доц. др Младен Кнежић
Г2					
Г3					
Г4					

Г1, Г2, Г3, Г4 – Група прва, Група друга, Група трећа, Група четврта, Ч – Часова

РАСПОРЕД ВЈЕЖБИ

Група	Дан	Вријеме	Мјесто одржавања	Ч	Сарадник
Г1					Велибор Шкобић, ма
Г2					
Г3					
Г4					

Г1, Г2, Г3, Г4 – Група прва, Група друга, Група трећа, Група четврта, Ч – Часова

ПРОДЕКАН ЗА НАСТАВУ:

доц. др Дино Косић